

MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】 日本国特許庁 (J P)	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12)【公報種別】 公開特許公報 (A)	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11)【公開番号】 特 開 2000-294550(P2000-294550A)	(11)[KOKAI NUMBER] Unexamined Japanese Patent 2000-294550(P2000-294550A)
(43)【公開日】 平成 1 2 年 1 0 月 2 0 日 (2 0 0 0 . 1 0 . 2 0)	(43)[DATE OF FIRST PUBLICATION] October 20, Heisei 12 (2000. 10.20)
(54)【発明の名称】 半導体製造方法及び半導体製造 装置	(54)[TITLE OF THE INVENTION] A semiconductor manufacturing method and semiconductor fabrication machines and equipment
(51)【国際特許分類第 7 版】 H01L 21/316 C30B 29/40 502 H01L 21/31 21/318 29/78	(51)[IPC 7] H01L 21/316 C30B 29/40 502 H01L 21/31 21/318 29/78
【 F I 】 H01L 21/316 A C30B 29/40 502 H H01L 21/31 C	[FI] H01L 21/316 A C30B 29/40 502 H H01L 21/31 C

21/318 C
A
29/78 301 G

21/318 C
A
29/78 301 G

【審査請求】 未請求

[REQUEST FOR EXAMINATION] No

【請求項の数】 1 1

[NUMBER OF CLAIMS] 11

【出願形態】 O L

[FORM OF APPLICATION] Electronic

【全頁数】 1 1

[NUMBER OF PAGES] 11

(21) 【出願番号】
特願平 11-97831

(21)[APPLICATION NUMBER]
Japanese Patent Application Heisei 11-97831

(22) 【出願日】
平成 1 1 年 4 月 5 日 (1 9 9 9 .
4 . 5)

(22)[DATE OF FILING]
April 5, Heisei 11 (1999. 4.5)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】
000219967

[ID CODE]
000219967

【氏名又は名称】
東京エレクトロン株式会社

[NAME OR APPELLATION]
Tokyo Electron, Ltd.

【住所又は居所】
東京都港区赤坂 5 丁目 3 番 6 号

[ADDRESS OR DOMICILE]

(72) 【発明者】

(72)[INVENTOR]

【氏名】
村川 恵美

[NAME OR APPELLATION]
Murakawa, Emi

【住所又は居所】

[ADDRESS OR DOMICILE]

東京都港区赤坂 5 丁目 3 番 6 号
東京エレクトロン株式会社内

(72) 【発明者】

(72)[INVENTOR]

【氏名】

[NAME OR APPELLATION]

本郷 俊明

Hongo, Toshiaki

【住所又は居所】

[ADDRESS OR DOMICILE]

山梨県韮崎市穂坂町三ッ沢 6 5
0 東京エレクトロン株式会社
総合研究所内

(72) 【発明者】

(72)[INVENTOR]

【氏名】

[NAME OR APPELLATION]

川上 聡

Kawakami, Satoshi

【住所又は居所】

[ADDRESS OR DOMICILE]

山梨県韮崎市穂坂町三ッ沢 6 5
0 東京エレクトロン株式会社
総合研究所内

(72) 【発明者】

(72)[INVENTOR]

【氏名】

[NAME OR APPELLATION]

湯浅 光博

Yuasa, Hitsuhiko

【住所又は居所】

[ADDRESS OR DOMICILE]

東京都港区赤坂 5 丁目 3 番 6 号
東京エレクトロン株式会社内

(74) 【代理人】

(74)[AGENT]

【識別番号】

[ID CODE]

100077849

100077849

【弁理士】**[PATENT ATTORNEY]****【氏名又は名称】****[NAME OR APPELLATION]**

須山 佐一

Suyama, Saichi

【テーマコード（参考）】**[THEME CODE (REFERENCE)]**

4G077

4G077

5F040

5F040

5F045

5F045

5F058

5F058

【Fターム（参考）】**[F TERM (REFERENCE)]**4G077 AA03 BB03 BE14 BE19
DB09 DB194G077 AA03 BB03 BE14 BE19 DB09 DB19
5F040 DC01 ED01 ED03 ED04 FC005F040 DC01 ED01 ED03 ED04
FC005F045 AA06 AA09 AB32 AB33 AB34 AC01
AC05 AC11 AC12 AD08 AE17 AE19 AE215F045 AA06 AA09 AB32 AB33
AB34 AC01 AC05 AC11 AC12AF03 AF12 BB09 BB16 CA05 DC51 DP03
DQ17 EB08 EF05 EF08 EH02 EH03 EH04AD08 AE17 AE19 AE21 AF03
AF12 BB09 BB16 CA05 DC51

EM05 EN04 HA25

DP03 DQ17 EB08 EF05 EF08

EH02 EH03 EH04 EM05 EN04

HA25

5F058 BA01 BA20 BD01 BD10
BD15 BF04 BF08 BF23 BF295F058 BA01 BA20 BD01 BD10 BD15 BF04
BF08 BF23 BF29 BF30 BG01 BG04 BJ01 BJ10

BF30 BG01 BG04 BJ01 BJ10

(57) 【要約】**(57)[ABSTRACT OF THE DISCLOSURE]****【課題】****[SUBJECT OF THE INVENTION]**シリコン基板とSiN膜との
界面での膜質制御を首尾よく行It provides the manufacturing method and
manufacturing equipment of a semiconductor

うことができ、しかも、短時間で高品質のSiN膜を形成することのできる半導体の製造方法及び製造装置を提供する。

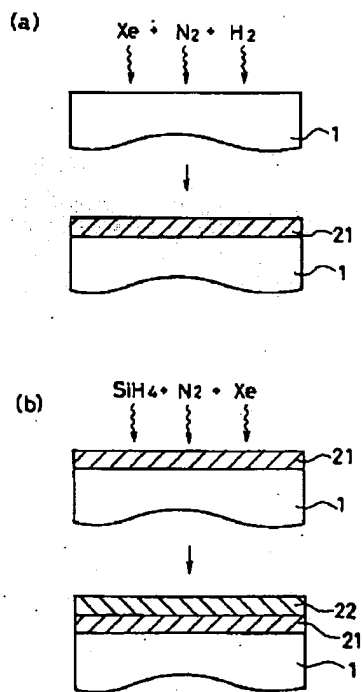
which can perform film-quality control by the interface of a silicon substrate and a SiN film with the sufficient result, and can form a SiN film with high quality moreover in a short time.

【解決手段】

処理ガス雰囲気下で、ケイ素を主成分とするウエハWに、複数のスリットを有する平面アンテナ部材RLSA60を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記ウエハW表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で1nm以下の絶縁膜2を形成する。

【PROBLEM TO BE SOLVED】

It forms the plasma containing oxygen, or nitrogen, or oxygen and nitrogen by irradiating a microwave in process-gas atmosphere through the flat antenna member RLSA60 which has two or more slits in the wafer W which has a silicon as a main component, using this plasma, gives oxidation, a nitridation, or an oxide/nitride directly to said wafer W surface, and forms the insulation film 2 of 1 nm or less at oxide-film equivalent conversion film thickness.



【特許請求の範囲】**[CLAIMS]****【請求項 1】**

処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で1 nm以下の絶縁膜を形成することを特徴とする半導体製造方法。

[CLAIM 1]

A semiconductor manufacturing method, in which it forms the plasma containing oxygen, or nitrogen, or oxygen and nitrogen by irradiating a microwave in process-gas atmosphere through the flat antenna member which has two or more slits in the processed base material which has a silicon as a main component, using this plasma, gives oxidation, a nitridation, or an oxide/nitride directly to said processed base material surface, and forms the insulation film 2 of 1 nm or less at oxide-film equivalent conversion film thickness

【請求項 2】

請求項 1 記載の半導体製造方法であって、前記処理ガスが、 N_2 又は N_2O 又は NO 又は NH_3 を含むことを特徴とする半導体製造方法。

[CLAIM 2]

It is the semiconductor manufacturing method of Claim 1, comprised such that the semiconductor manufacturing method characterized by said process gas containing N_2 , N_2O , NO , or NH_3 .

【請求項 3】

処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して第 1 の絶縁膜を形

[CLAIM 3]

A semiconductor manufacturing method, in which in process-gas atmosphere, it forms the plasma containing oxygen, nitrogen or oxygen and nitrogen in the processed base material which has a silicon as a main component by irradiating a microwave through the flat antenna member which has two or more slits, the process which gives oxidation, a nitridation, or an oxide/nitride directly to said processed-base-material surface, and forms 1st

成する工程と、
前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、
を具備することを特徴とする半導体製造方法。

insulation film in it using this plasma, the process which forms 2nd insulation film on said 1st insulation film, it comprises these.

【請求項 4】

請求項 3 記載の半導体製造方法であって、前記第 2 の絶縁膜を形成する工程が、窒化ケイ素からなる絶縁層を形成する工程であることを特徴とする半導体製造方法。

[CLAIM 4]

A semiconductor manufacturing method, which is the semiconductor manufacturing method of Claim 3, comprised such that the process which forms said 2nd insulation film is a process which forms the insulating layer which is made up of a silicon nitride.

【請求項 5】

請求項 3 又は 4 記載の半導体製造方法であって、前記第 2 の絶縁膜を形成する工程が、CVD 法により行われる工程であることを特徴とする半導体製造方法。

[CLAIM 5]

A semiconductor manufacturing method, which is the semiconductor manufacturing method of Claim 3 or 4, comprised such that the process which forms said 2nd insulation film is a process performed by CVD method.

【請求項 6】

請求項 3 又は 4 記載の半導体製造方法であって、前記第 2 の絶縁膜を形成する工程が、プラズマ照射により行われる工程であることを特徴とする半導体製造方法。

[CLAIM 6]

A semiconductor manufacturing method, which is the semiconductor manufacturing method of Claim 3 or 4, comprised such that the process which forms said 2nd insulation film is a process performed by plasma irradiation.

【請求項 7】

請求項 6 記載の半導体製造方法であって、前記第 2 の絶縁膜を形成する工程が、N₂ 又は NH₃ 及びモノシラン又はジクロルシラン又はトリクロルシラン

[CLAIM 7]

A semiconductor manufacturing method, which is the semiconductor manufacturing method of Claim 6, comprised such that the process which forms said 2nd insulation film is a process which supplies the plasma containing N₂ or NH₃

を含むプラズマを供給する工程であることを特徴とする半導体製造方法。

and a monosilane, a dichloro silane, or a trichloro silane.

【請求項 8】

請求項 6 記載の半導体製造方法であって、前記プラズマ照射が、複数のスリットを有する平面アンテナ部材を介して行われることを特徴とする半導体製造方法。

[CLAIM 8]

A semiconductor manufacturing method, which is the semiconductor manufacturing method of Claim 6, comprised such that said plasma irradiation is performed through the flat antenna member which has two or more slits.

【請求項 9】

請求項 1 記載の半導体製造方法を実施するための半導体製造装置であって、マイクロ波電源と、当該マイクロ波を導く装置と複数のスリットを有する平面アンテナ部材と、被処理基体の温度を 400°C 以上に保持する昇温機構と、処理ガスを反応室に導くガス供給機構と、反応室を 1 Torr 以下に減圧する真空排気機構を有する一つ又はそれ以上のプロセスチャンバと、被処理基体を真空搬送する搬送系と、を具備する事を特徴とする半導体製造装置。

[CLAIM 9]

They are the semiconductor fabrication machines and equipment for implementing the semiconductor manufacturing method of Claim 1, comprised such that one which has a microwave power source, the apparatus to which it leads said microwave and the flat antenna member which has two or more slits, the temperature rise mechanism in which it maintains the temperature of a processed base material at 400-degree C or more, the gas supply structure that leads process gas to a reaction chamber, and the evacuation mechanism which reduce pressures a reaction chamber to 1 Torr or less or the process chamber more than it, and the feed drive system which carries out vacuum conveyance of the processed base material, semiconductor fabrication machines and equipment characterized by comprising these.

【請求項 10】

請求項 9 記載の半導体製造装置であって、ゲート絶縁膜を並

[CLAIM 10]

They are the semiconductor fabrication machines and equipment of Claim 9, comprised

列的に形成できるように、前記プロセスチャンバが、二つ又はそれ以上配設されていることを特徴とする半導体製造装置。

such that said process chamber is arranged two or more so that gate insulation film can be formed in juxtaposing.

Semiconductor fabrication machines and equipment characterized by the above-mentioned.

【請求項 11】

請求項 9 記載の半導体製造装置であって、前記プロセスチャンバとは異なる CVD チャンバと、真空搬送系とを具備し、直接酸化に引き続いて CVD により SiN を形成することを特徴とする半導体製造装置。

[CLAIM 11]

They are the semiconductor fabrication machines and equipment of Claim 9, comprised such that it comprises a different CVD chamber from said process chamber, and a vacuum carrying system, it continues at a direct oxide/nitride and forms SiN by CVD.

Semiconductor fabrication machines and equipment characterized by the above-mentioned.

【発明の詳細な説明】**[DETAILED DESCRIPTION OF THE INVENTION]****【0001】****[0001]****【発明の属する技術分野】**

本発明は、半導体の製造方法に係り、更に詳細には、MIS 型半導体装置におけるゲート絶縁膜形成方法に関する。

[TECHNICAL FIELD OF THE INVENTION]

This invention relates to the manufacturing method of a semiconductor.

Specifically, it is related with the gate insulation-film formation method in a MIS type semiconductor device.

【0002】**[0002]****【従来の技術】**

最近、MIS 型半導体デバイスの微細化に伴い、4 nm 程度以下の極めて薄いゲート絶縁膜が

[PRIOR ART]

Recently, in connection with the miniaturization of a MIS type semiconductor device, very thin gate insulation film about 4 nm or less is

要求されている。従来、ゲート絶縁膜材料としては、 $850^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 程度の高温加熱炉を用いてシリコン基板の直接酸化によって得られるシリコン酸化膜 (SiO_2 膜) が工業的に使用されてきた。

【0003】

しかしながら、 SiO_2 膜を 4 nm 以下に薄くすると、このゲート絶縁膜を流れる漏れ電流 (ゲートリーク電流) が多くなり、消費電力の増大やデバイス特性劣化の加速などの問題が生じる。

【0004】

また、ゲート電極形成時に当該ゲートに含まれるホウ素が SiO_2 膜を突き抜けてシリコン基板に達し、半導体デバイス特性を劣化させるという問題も生じる。このような問題点を解決する一つの方法として、ゲート絶縁膜材料として窒化膜 (SiN 膜) が検討されている。

【0005】

この SiN 膜を CVD 法によって形成すると、シリコン基板との界面に多数の不完全結合 (ダングリングボンド) が発生して、デバイス特性が劣化してしまう。そのため、当該 SiN 膜形成では、プラズマを用いたシリ

demanded.

Formerly, the silicon oxide film (SiO_2 film) obtained by direct oxidation of a silicon substrate has been used industrially, using the heating-at-high-temperature reactor about 850°C - 1000°C as a gate insulation-film material.

[0003]

However, if a SiO_2 film is made thin to 4 nm or less, the leakage current (gate leak electric current) which flows through this gate insulation film will increase, problems, such as increase of power consumption and acceleration of device property degradation, arise.

[0004]

Moreover, the boron contained at said gate at the time of gate-electrode formation penetrates through a SiO_2 film, and it reaches a silicon substrate, it also produces the problem of degrading a semiconductor device property. As one method of solving such a problem, the nitridation film (SiN film) is examined as a gate insulation-film material.

[0005]

If this SiN film is formed by CVD method, many imperfect connections (dangling bond) will occur in the interface with a silicon substrate, and a device property will degrade.

Therefore, by said SiN film formation, it is thought that the method of nitriding directly the silicon substrate which used the plasma is

コン基板を直接窒化する方法が有望と考えられる。直接窒化を行う理由は、界面準位の少ない高品質のゲート絶縁膜を得るためである。

【 0 0 0 6 】

また、プラズマを用いる理由は、低温でSiN膜を形成するためである。SiN膜を加熱によって窒化すると1000°C以上の高温が必要であり、この熱工程によりシリコン基板に注入されたドーパントが差異拡散することによってデバイス特性が劣化してしまう。このような方法は特開昭55-134937号公報や特開昭59-4059号公報などに開示されている。

【 0 0 0 7 】

しかしながら、プラズマを用いてSiN膜を形成する場合、プラズマ中のイオンがプラズマシース電位により加速されて高エネルギーでシリコン基板に入射されるため、いわゆるプラズマダメージがシリコン基板界面或いはシリコン基板に発生し、デバイス特性が生じるという問題が指摘されている。

【 0 0 0 8 】

この問題に対し、電子温度が低く、プラズマダメージの小さい多数のスリットを有する平面ア

promising.

The reason for performing a nitridation directly is for obtaining the high quality gate insulation film with less an interface state.

[0006]

Moreover, the reason for using the plasma is low temperature, and is for forming a SiN film.

If a SiN film is nitrided by heat, C or more 1000 degrees high temperature is required.

When the dopant injected into the silicon substrate by this heat process carries out variant diffusion, a device property will degrade. Such method is disclosed by Unexamined-Japanese-Patent No. 55-134937 and 59 to 4059 etc.

[0007]

However, since it accelerates with a plasma sheath electric potential and the ion in the plasma is irradiated by the silicon substrate with a high energy when forming a SiN film using the plasma, what is called a plasma damage occurs in the silicon-substrate interface or a silicon substrate, the problem that a device property arises is pointed out.

[0008]

To this problem, electron temperature is low and the microwave plasma apparatus equipped with the flat antenna which has the slit of many of

ンテナを備えたマイクロ波プラズマ装置が報告されている。 small plasma damages is reported.

【 0 0 0 9 】

(Ultra Clean technology Vol.10 Supplement 1,p.32,1998,Published byUltra Clean Society)。

[0009]

(Ultra Clean technology Vol.10 Supplement 1, p. 32, 1998, Published byUltra Clean Society).

【 0 0 1 0 】

このプラズマ装置を用いると、電子温度は1 e V程度以下であり、プラズマシース電圧も数V以下になるため、プラズマシース電圧が50 V程度の従来のプラズマに対して、プラズマダメージを大幅に低減できる。

[0010]

When this plasma apparatus is used, electron temperature is about 1eV or less.

Since a plasma sheath voltage also becomes several V or less, a plasma sheath voltage can reduce a plasma damage significantly to the plasma of the past which is about 50V.

【 0 0 1 1 】

しかし、このプラズマ装置を用いてシリコン窒化処理を行う場合でも、直接窒化によってSiN膜を形成する場合には、シリコン基板界面にのみ酸素を偏在させることにより結合欠陥の少ない良質な界面を得るためには、シリコン基板との界面での膜質制御が難しいという問題がある。

[0011]

However, even if it performs silicon-nitride treatment using this plasma apparatus, when forming a SiN film by direct nitridation, there is a problem that the film-quality control by the interface with a silicon substrate is difficult to acquire good interface with few connection defects by distributing oxygen unevenly only in the silicon-substrate interface.

【 0 0 1 2 】

更に、このプラズマ装置を用いた場合、窒素原子がシリコン基板内に拡散することにより窒化が進むため、窒化速度が遅く、被処理体に所定の処理を施す時

[0012]

Furthermore, in order that a nitridation may progress when this plasma apparatus is used, and a nitrogen atom is diffused in a silicon substrate, there is a problem that nitridation speed is slow, time to perform fixed treatment to

間が長く、単位時間あたりの被処理体の処理枚数が少なく、工業的に利用することができないという問題がある。例えば4 nmのSiN膜を形成する場合、圧力やマイクロ波パワーなどのプラズマ条件を種々調整しても5分程度以上かかり、量産製造の点から要求されるスループット、例えば被処理体一枚当たり1分程度という処理時間の目標値を大幅に下回る。

【0013】

【発明が解決しようとする課題】

本発明は上記従来の問題点を解決するためになされたものである。即ち、本発明は、シリコン基板とSiN膜との界面での膜質制御を首尾よく行うことのできる半導体の製造方法及び製造装置を提供することを目的とする。

【0014】

また、本発明は、短時間で高品質のSiN膜を形成することのできる半導体の製造方法及び製造装置を提供することを目的とする。

【0015】

a processed substance is long, there is little treatment number of sheets of the processed substance per unit time, and it cannot utilize industrially.

For example, per throughput demanded from a point of view of mass-production manufacture, for example, a processed substance, when forming a 4 nm SiN film, even if it adjusts various plasma conditions, such as pressure and a microwave power, it takes about 5 minutes or more, and is much less than the desired value of the processing time of about 1 minute.

[0013]

[PROBLEM TO BE SOLVED BY THE INVENTION]

This invention was made in order to solve the problem of the above-mentioned past.

Namely, this invention aims at providing the manufacturing method and manufacturing equipment of a semiconductor which can perform film-quality control by the interface of a silicon substrate and a SiN film with the sufficient result.

[0014]

Moreover, this invention aims at providing the manufacturing method and manufacturing equipment of a semiconductor which can form an in a short time high quality SiN film.

[0015]

【課題を解決するための手段】

上記目的達成のため、本発明の半導体製造方法は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して1 nm以下の膜厚（シリコン酸化膜換算）の絶縁膜を形成することを特徴とする。

【0016】

本発明の半導体製造方法では、絶縁膜厚が1 nm以下であるため、シリコン基板の窒化は拡散ではなくプラズマにより生成された窒素原子又は酸素原子又は窒素原子と酸素原子がシリコン基板表面と反応する工程が主な工程となり、窒化速度は30秒程度の短時間で行うことができる。

【0017】

この直接窒化又は酸化又は酸窒化した薄膜絶縁膜上にCVD法により残りの絶縁膜を形成する場合、3 nm/min以上の製膜速度が比較的容易に達成できるため、トータル4 nmの膜厚

[MEANS TO SOLVE THE PROBLEM]

It forms the plasma which contains oxygen, nitrogen or oxygen and nitrogen in the processed base material which the semiconductor manufacturing method of this invention is process-gas atmosphere, and has a silicon as a main component by irradiating a microwave through the flat antenna member which has two or more slits for the above-mentioned objective achievement, it is characterized by giving oxidation, a nitridation, or an oxide/nitride directly to said processed-base-material surface, and forming the insulation film of film thickness (silicon-oxide-film conversion) 1 nm or less in it using this plasma.

[0016]

In the semiconductor manufacturing method of this invention, since insulation-film thickness is 1 nm or less, a nitridation of a silicon substrate constitutes the processes with a main process to which the nitrogen atom, oxygen atom or nitrogen atom formed by not diffusion but the plasma, and an oxygen atom react with a silicon substrate surface, as for nitridation speed, it can carry out in a short time of about 30 seconds

[0017]

Since the filming speed of 3 or more nm/min can attain comparatively easily when forming the remaining insulation film by CVD method on this direct nitridation, oxidation, or the thin film insulation film that carried out the oxide/nitride, it can also form the insulation film of the film

の絶縁膜でも2分以内で形成できる。 thickness which is total 4 nm within 2 minutes.

【0018】

更に本発明の半導体製造方法では、直接窒化又は酸化又は酸窒化によりシリコン基板との界面に良質な絶縁膜を形成する工程とその上にCVD法により残りの絶縁膜を形成する工程とを独立に行うことができるため、全て、直接窒化又はCVD法によって絶縁膜を形成する方法に比べてシリコン基板界面での膜質制御性が向上し、より良質な絶縁膜を形成することができる。

[0018]

Furthermore, in the semiconductor manufacturing method of this invention, since the process which forms good insulation film in the interface with a silicon substrate by a direct nitridation, oxidation, or an oxide/nitride, and the process which forms the remaining insulation film by CVD method on it can be performed independently, compared with the method of forming insulation film, the film-quality control in the silicon-substrate interface improves all by a direct nitridation or CVD method, it can form better insulation film.

【0019】

この半導体製造方法において、前記処理ガスは、例えば、 N_2 又は N_2O 又は NO 又は NH_3 を含むガスが挙げられる。この処理ガスはアルゴンなどの希ガスを含んでいても良い。

[0019]

In this semiconductor manufacturing method, the gas by which said process gas contains N_2 , N_2O , NO , or NH_3 , for example is mentioned. This process gas may contain noble gases, such as argon.

【0020】

また、本発明の他の半導体製造方法は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、

[0020]

Moreover, it forms the plasma which contains oxygen, nitrogen or oxygen, and nitrogen in the processed base material which the other semiconductor manufacturing method of this invention is process-gas atmosphere, and has a silicon as a main component by irradiating a microwave through the flat antenna member which has two or more slits, the process which gives oxidation, a nitridation, or an oxide/nitride directly to said processed-base-material

又は酸窒化を施して第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、を具備することを特徴とする。

【0021】

上記半導体製造方法において、前記第2の絶縁膜は、例えば、窒化ケイ素からなる絶縁膜が挙げられる。

【0022】

この第2の絶縁膜を形成する工程は、CVD法により行ってもよく、プラズマ照射により行ってもよい。

【0023】

この第2の絶縁膜の形成は、例えば、 N_2 又は NH_3 及びモノシラン又はジクロルシラン又はトリクロルシランを含むプラズマを供給することにより形成する方法が挙げられる。

【0024】

本発明の半導体製造方法によれば、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射する、いわゆるRLSA (Radial Line Slot Antenna) アンテナを用いる方法でシリコン基板上に直接プラズマを供給

surface, and forms 1st insulation film in it using this plasma, it is characterized by comprising the process which forms 2nd insulation film on said 1st insulation film.

[0021]

In the above-mentioned semiconductor manufacturing method, the insulation film which said 2nd insulation film turns into from a silicon nitride, for example is mentioned.

[0022]

CVD method may perform the process which forms this 2nd insulation film, plasma irradiation may perform.

[0023]

The method of forming, when formation of this 2nd insulation film supplies the plasma containing N_2 or NH_3 and a monosilane, a dichloro silane, or a trichloro silane, for example is mentioned.

[0024]

According to the semiconductor manufacturing method of this invention, in process-gas atmosphere, it supplies the direct plasma on a silicon substrate by the method of using what is called a RLSA (Radial Line Slot Antenna) antenna that irradiates a microwave through the flat antenna member which has two or more slits, and forms SiN insulation film in the processed base material which has a silicon as

してSiN絶縁膜を形成するので、シリコン基板とその表面に形成されるSiN絶縁膜との界面の膜質制御を首尾よく行うことができる。

【0025】

更に、本発明の他の半導体製造方法によれば、いわゆるRLSAアンテナを用いた方法で第1の絶縁膜を形成した上に第2の絶縁膜を全て低ダメージプラズマ照射により形成するので高品質のSiN膜を形成することができる。特に第2の絶縁膜をCVD法により形成する場合には短時間での製膜が可能となり、短時間で高品質のSiN膜を形成することができる。

【0026】**【発明の実施の形態】**

以下に本発明の一つの実施の形態について説明する。

【0027】

まず本発明の半導体製造方法によって製造される半導体装置の構造の一例について、絶縁膜としてゲート絶縁膜を備えた半導体装置を例にして図1により説明する。

【0028】

a main component, depend.

It can perform film-quality control of the interface of a silicon substrate and the SiN insulation film formed in the surface with the sufficient result.

[0025]

Furthermore, according to the other semiconductor manufacturing method of this invention, since 1st insulation film was formed upwards by the method what is called using a RLSA antenna and all 2nd insulation film is formed by low damage plasma irradiation, it can form a high quality SiN film.

Particularly when forming 2nd insulation film by CVD method, filming in a short time is attained, it can form an in a short time high quality SiN film.

[0026]**[EMBODIMENT OF THE INVENTION]**

It demonstrates one Embodiment of this invention below.

[0027]

About an example of the structure of the semiconductor device first manufactured by the semiconductor manufacturing method of this invention, it makes into an example the semiconductor device equipped with gate insulation film as insulation film, and FIG. 1 demonstrates it.

[0028]



図中1はシリコン基板、11はフィールド酸化膜、2はゲート絶縁膜であり、13はゲート電極である。本発明はゲート絶縁膜2に特徴があり、このゲート絶縁膜2は、図1(b)に示すように、シリコン基板1との界面に形成された、品質の高い絶縁膜よりなる例えば1nm程度の厚さの第1の絶縁膜21と、第1の絶縁膜21の上面に形成され、例えば3nm程度の厚さの第2の膜22とにより構成されている。

【0029】

この例では品質の高い第1の膜21は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸素窒化を施して形成された、第1のシリコン酸窒化膜(以下「SiON膜」という)よりなる。

【0030】

また第1の膜21よりも成膜速度の大きい第2の膜22は、前記第1の絶縁膜上に第2の絶縁膜を形成する工程により形成さ

1 is a silicon substrate in the drawing(s), 11 is field oxide, 2 is gate insulation film.

13 is a gate electrode.

This invention has the characteristics in the gate insulation film 2.

This gate insulation film 2 is formed in 1st insulation film 21 with a thickness of about 1 nm and the upperside of 1st insulation film 21 which are made up of insulation film with high quality formed in the interface with a silicon substrate 1 as shown in FIG.1(b), for example, it comprises 2nd film 22 with a thickness of about 3 nm.

[0029]

In this example, it forms the plasma which contains oxygen, nitrogen or oxygen, and nitrogen in the processed base material which 1st film 21 with high quality is process-gas atmosphere, and has a silicon as a main component by irradiating a microwave through the flat antenna member which has two or more slits, it is made up of 1st silicon oxynitridation film (henceforth a "SiON film") formed in said processed-base-material surface by giving oxidation, a nitridation, or an oxide/nitride directly using this plasma.

[0030]

Moreover, 2nd film 22 with the larger film-forming speed than 1st film 21 is formed of the process which forms 2nd insulation film on said 1st insulation film.

れている。

【 0 0 3 1 】

次に、このようなゲート絶縁膜 2 の形成方法について説明する。

[0031]

Next, it demonstrates the formation method of such gate insulation film 2.

【 0 0 3 2 】

図 2 は本発明の半導体製造方法を実施するための半導体製造装置 3 0 の全体構成を示す概略図である。

[0032]

FIG. 2 is the schematic diagram showing the whole semiconductor-fabrication-machines-and-equipment 30 composition for implementing the semiconductor manufacturing method of this invention.

【 0 0 3 3 】

図 2 に示すように半導体製造装置 3 0 のほぼ中央には搬送室 3 1 が配設されており、この搬送室 3 1 の周囲を取り囲むようにプラズマ処理ユニット 3 2、CVD 処理ユニット 3 3、二機のロードロックユニット 3 4 及び 3 5、加熱ユニット 3 6 が配設されている。

[0033]

As shown in FIG. 2, the conveyance chamber 31 is arranged by the almost center of semiconductor fabrication machines and equipment 30, the plasma-processing unit 32, the load-lock units 34 and 35 of 33 or 2 CVD treatment units, and the heat unit 36 are arranged so that the perimeter of this conveyance chamber 31 may be surrounded.

【 0 0 3 4 】

ロードロックユニット 3 4、3 5 の横には予備冷却ユニット 4 5、冷却ユニット 4 6 がそれぞれ配設されている。

[0034]

Beside the load-lock units 34 and 35, the pre-cooling unit 45 and the refrigeration unit 46 are each arranged.

【 0 0 3 5 】

搬送室 3 1 の内部には搬送アーム 3 7 及び 3 8 が配設されており、前記各ユニット 3 2 ～ 3 6

[0035]

The conveyance arms 37 and 38 are arranged inside the conveyance chamber 31, it conveys Wafer W between said each unit 32-36.



との間でウエハWを搬送する。

【0036】

ロードロックユニット34及び35の図中手前側にはローダーアーム41及び42が配設されている。これらのローダーアーム41及び42は、更にその手前側に配設されたカセットステージ43上にセットされた4台のカセット44との間でウエハWを出し入れする。

[0036]

The loader arms 41 and 42 are arranged by the figure metacarpus front side of the load-lock units 34 and 35.

These loader arms 41 and 42 take Wafer W in and out among four sets of cassettes 44 set on the cassette-stage 43 further arranged by the near side.

【0037】

なお、図2中のCVD処理ユニット33はプラズマ処理ユニット32と同型のプラズマ処理ユニットと交換可能であり、プラズマ処理ユニットを二基セットしてもよい。

[0037]

In addition, the CVD treatment unit 33 in FIG. 2 is exchangeable for a plasma-processing unit of the same type as the plasma-processing unit 32, and may set two groups of plasma-processing units.

【0038】

更に、これらプラズマ処理ユニット32及びCVD処理ユニット33は、ともにシングルチャンバ型プラズマ/CVD処理ユニットと交換可能であり、プラズマ処理ユニット32やCVD処理ユニット33の位置に一基又は二基のシングルチャンバ型プラズマ/CVD処理ユニットをセットすることも可能である。プラズマ処理が二基の場合、処理ユニット32で直接SiON膜を形成した後、処理ユニット33でプラズマSiN膜をC

[0038]

Furthermore, both the these plasma-processing unit 32 and the CVD treatment unit 33 can be exchanged for the single chamber type plasma / CVD treatment unit, and can also set the single chamber type plasma / CVD treatment unit of one group or two groups to the position of the plasma-processing unit 32 or the CVD treatment unit 33.

When plasma processings are two groups, after forming a direct SiON film in the treatment unit 32, it is sufficient to perform direct SiON film formation and SiN CVD film formation in juxtaposing in the method of carrying out CVD of the plasma SiN film in the treatment unit 33,



VDする方法と、処理ユニット 32 及び 33 で並列に直接 SiON 膜形成と SiN CVD 膜形成を行っても良い。或いは処理ユニット 32 及び 33 で並列に直接 SiON 膜形成を行った後、別の装置で SiN CVD 膜形成を行うこともできる。

and the treatment units 32 and 33.

Or after performing direct SiON film formation in juxtaposing in the treatment units 32 and 33, another apparatus can also perform SiN CVD film formation.

【0039】

図 3 はゲート絶縁膜 2 の成膜に用いられるプラズマ処理ユニット 32 の垂直断面図である。

[0039]

FIG. 3 is a vertical sectional view of the plasma-processing unit 32 used for film-forming of gate insulation film 2.

【0040】

50 は例えばアルミニウムにより形成された真空容器である。この真空容器 50 の上面には、基板例えばウエハ W よりも大きい開口部 51 が形成されており、この開口部 51 を塞ぐように例えば窒化アルミ等の誘電体により構成された偏平な円筒形状のガス供給室 54 が設けられている。このガス供給室 54 の下面には多数のガス供給孔 55 が形成されており、ガス供給室 54 に導入されたガスが当該ガス供給孔 55 を介して真空容器 50 内にシャワー状に供給されるようになっている。

[0040]

50 is the vacuum vessel formed of aluminum.

The base plate 51, for example, the larger opening than Wafer W, is formed in the upperside of this vacuum vessel 50, the gas feed chamber 54 of the flat cylindrical shape comprised with dielectrics, such as an aluminium nitride, so that this opening 51 might be plugged up is provided.

Many gas supply holes 55 are formed in the underside of this gas feed chamber 54, the gas introduced into the gas feed chamber 54 is supplied in the shape of shower in a vacuum vessel 50 through said gas supply hole 55.

【0041】

ガス供給室 54 の外側には、例えば銅板により形成されたラジアルラインスロットアンテナ

[0041]

It accomplishes a high frequency power supply through the radial line slot antenna (it describes it as "RLSA" roughly hereafter) 60 formed in the

(以下、「RLSA」と略記する。) 60を介して、高周波電源部をなし、例えば2.45GHzのマイクロ波を発生するマイクロ波電源部61に接続された導波路63が設けられている。この導波路63はRLSA60に下縁が接続された偏平な円形導波管63Aと、この円形導波管63Aの上面に一端側が接続された円筒形導波管63Bと、この円筒形導波管63Bの上面に接続された同軸導波変換器63Cと、この同軸導波変換器63Cの側面に直角に一端側が接続され、他端側がマイクロ波電源部61に接続された矩形導波管63Dとを組み合わせ構成されている。

【0042】

ここで本発明ではUHFとマイクロ波とを含めて高周波領域と呼んでおり、高周波電源部より供給される高周波電力は300MHz以上のUHFや1GHz以上のマイクロ波を含む、300MHz以上2500MHz以下のものとし、これらの高周波電力により発生されるプラズマを高周波プラズマと呼ぶものとする。前記前記円筒形導波管63Bの内部には、導電性材料よりなる軸部62の、一端側がRLSA60の上面のほぼ中央に接続し、他端側が円筒形導波管

outer side of the gas feed chamber 54, for example with the copper board, for example, waveguide 63 connected to the microwave power supply 61 which generates a 2.45GHz microwave is provided.

The end side is connected to the side face of the coaxial waveguide converter 63C by which this waveguide 63 was connected to the upperside of the flat circular waveguide 63A by which the inferior margin was connected to RLSA60, the cylindrical waveguide 63B by which the end side was connected to the upperside of this circular waveguide 63A, and this cylindrical waveguide 63B, and this coaxial waveguide converter 63C right-angled, the other-end side is comprised combining the rectangular waveguide 63D connected to the microwave power supply 61.

[0042]

It is calling it the high frequency region here including UHF and a microwave in this invention, let the high frequency electric power supplied from a high frequency power supply be the thing including UHF of 300MHz or more or microwave of 1GHz or more of 300 to 2500 MHz, it shall call the plasma generated by these high frequency electric powers the high frequency plasma.

The end side of the axial part 62 which turns into an inside of said said cylindrical waveguide 63B from electroconductive material connects with the almost center of the upperside of RLSA60, it is coaxially provided so that the other-end side may connect with the upperside

63Bの上面に接続するように同軸状に設けられており、これにより当該導波管63Bは同軸導波管として構成されている。

【0043】

真空容器50の上部側の側壁には例えばその周方向に沿って均等に配置した16か所の位置にガス供給管72が設けられており、このガス供給管72から希ガス及びNを含むガスが真空容器50のプラズマ領域P近傍にムラなく均等に供給されるようになっている。

【0044】

また真空容器50内には、ガス供給室54と対向するようにウエハWの載置台52が設けられている。この載置台52には図示しない温調部が内蔵されており、これにより当該載置台52は熱板として機能するようになっている。さらに真空容器50の底部には排気管53の一端側が接続されており、この排気管53の他端側は真空ポンプ55に接続されている。

【0045】

図4は本発明の半導体製造装置に用いられるRLSA60の平面図である。

【0046】

of the cylindrical waveguide 63B, thereby, said waveguide 63B is comprised as a coaxial waveguide.

[0043]

The gas supply line 72 is provided in the position of 16 places which it has arranged equally, for example along the circumferential direction on the side wall by the side of the upper part of a vacuum vessel 50, the gas which contains a noble gas and N from this gas supply line 72 is supplied equally and uniformly near the plasma region P of a vacuum vessel 50.

[0044]

Moreover, in the vacuum vessel 50, the mounting base 52 of the wafer W opposing the gas feed chamber 54 is provided.

The heat-regulation part which it does not illustrate is built in this mounting base 52, thereby, said mounting base 52 functions as a heating platen.

Furthermore, the end side of an exhaust tube 53 is connected to the bottom part of a vacuum vessel 50, the other-end side of this exhaust tube 53 is connected to the vacuum pump 55.

[0045]

FIG. 4 is a top view of RLSA60 used for the semiconductor fabrication machines and equipment of this invention.

[0046]

図4に示したように、このRLSA60では、表面に複数のスロット60a, 60a, ...が同心円状に形成されている。各スロット60aは略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「T」の文字を形成するように配設されている。スロット60aの長さや配列間隔は、マイクロ波電源部61より発生したマイクロ波の波長に応じて決定されている。図5は本発明の半導体製造装置に用いられるCVD処理ユニット33を模式的に示した垂直断面図である。

【0047】

図5に示すように、CVD処理ユニット33の処理室82は例えばアルミニウム等により気密可能な構造に形成されている。図5では省略したが、処理室82内には加熱機構や冷却機構を備えている。

【0048】

処理室82には上部中央にガスを導入するガス導入管83が接続され、処理室82内とガス導入管83内とが連通されている。また、ガス導入管83はガス供給源84に接続されている。そして、ガス供給源84か

As shown in FIG. 4, in this RLSA60, two or more slots 60a and 60a and... are formed in the surface at the concentric circle.

Each slot 60a is the slot which the rectangle penetrated roughly.

Adjoining slots are arranged so that it may intersect perpendicularly mutually and the character of "T" of an alphabet may be formed roughly.

The length and the sequence intervals of Slot 60a are decided according to the wavelength of the microwave generated from the microwave power supply 61.

FIG. 5 is the vertical sectional view having shown typically the CVD treatment unit 33 used for the semiconductor fabrication machines and equipment of this invention.

[0047]

As shown in FIG. 5, the treatment chamber 82 of the CVD treatment unit 33 is formed in the structure which can carry out an airtight by aluminum etc.

It omitted in FIG. 5.

However, in the treatment chamber 82, it has the heating machine style and the cooling mechanism.

[0048]

The gas introducing pipe 83 which introduces gas into an up center is connected to the treatment chamber 82, the inside of the treatment chamber 82 and the gas introducing pipe 83 is connected.

Moreover, the gas introducing pipe 83 is connected to the gas supply source 84.

らガス導入管 8 3 にガスが供給され、ガス導入管 8 3 を介して処理室 8 2 内にガスが導入されている。このガスには、薄膜形成の原料となる各種のガスが用いられ、必要な場合には不活性ガスがキャリアガスとして用いられている。

【 0 0 4 9 】

処理室 8 2 の下部には、処理室 8 2 内のガスを排気するガス排気管 8 5 が接続され、ガス排気管 8 5 は真空ポンプ等からなる図示しない排気手段に接続されている。そして、この排気手段により処理室 8 2 内のガスがガス排気管 8 5 から排気され、処理室 8 2 内が所望の圧力に設定されている。

【 0 0 5 0 】

また、処理室 8 2 の下部には、ウエハ W を載置する載置台 8 7 が配置されている。

【 0 0 5 1 】

本実施の形態では、ウエハ W と略同径大の図示しない静電チャックによりウエハ W が載置台 8 7 上に載置されている。この載置台 8 7 には図示しない熱源手段が内設されており、載置台 8 7 上に載置されたウエハ W の処理面を所望の温度に調整できる

And gas is supplied to the gas introducing pipe 83 from the gas supply source 84, gas is introduced in the treatment chamber 82 through the gas introducing pipe 83.

Various kinds of gas used as the raw material of thin film formation is used for this gas, when required, the inert gas is used as carrier gas.

[0049]

The gas exhaust tube 85 which exhausts the gas in the treatment chamber 82 is connected to the lower part of the treatment chamber 82, the gas exhaust tube 85 is connected to the exhausting means which is made up of a vacuum pump etc. and which it does not illustrate.

And the gas in the treatment chamber 82 is exhausted by this exhausting means from the gas exhaust tube 85, the inside of the treatment chamber 82 is set as the desired pressure.

[0050]

Moreover, the mounting base 87 which mounts Wafer W is arranged at the lower part of the treatment chamber 82.

[0051]

In this Embodiment, Wafer W is mounted on the mounting base 87 by Wafer W and the electrostatic chuck which same-diameter size does not illustrate roughly.

The heat-source means which it does not illustrate are provided internally by this mounting base 87, it forms in the structure where it can adjust the treatment surface of the

構造に形成されている。

wafer W mounted on the mounting base 87 to desired temperature.

【0052】

この載置台 87 の大きさは、300 mm の大径ウエハ W を載置できる大きさとなっており、必要に応じて載置したウエハ W を回転できるような機構になっている。

[0052]

The size of this mounting base 87 is the size which can mount the 300 mm large-diameter wafer W, it is the mechanism in which it can rotate the wafer W mounted as required.

【0053】

このように大型の載置台 87 を内蔵することにより、300 mm の大径ウエハ W を処理することができ、高い歩留まりと、その結果もたらされる、廉価な製造コストを実現することができる。

[0053]

Thus, by building in the large sized mounting base 87, it can treat the 300 mm large-diameter wafer W, and can implement the high yield and the inexpensive manufacturing cost brought about as a result.

【0054】

図 5 中、載置台 87 の右側の処理室 82 壁面にはウエハ W を出し入れするための開口部 82a が設けられており、この開口部 82a の開閉はゲートバルブ 98 を図中上下方向に移動することにより行われる。図 5 中、ゲートバルブ 98 の更に右側にはウエハ W を搬送する搬送アーム (図示省略) が隣設されており、搬送アームが開口部 82a を介して処理室 82 内に入り出て載置台 87 上にウエハ W を載置したり、処理後のウエハ W を処理室 82 から搬出するようにな

[0054]

Opening 82a for taking Wafer W in and out of treatment chamber 82 wall surface on the right-hand side of the mounting base 87 is provided among FIG. 5, opening and closing of this opening 82a is performed by transferring a gate valve 98 to vertical direction in the drawing(s).

The conveyance arm (illustration abbreviation) of a gate valve 98 which conveys Wafer W in right-hand side further is adjoined among FIG. 5, a conveyance arm goes in and out in the treatment chamber 82 through Opening 82a, and mounts Wafer W on the mounting base 87, it takes out the wafer W after treatment from the treatment chamber 82.

っている。載置台 87 の上方にはシャワー部材としてのシャワーヘッド 88 が配設されている。このシャワーヘッド 88 は載置台 87 とガス導入管 83 との間の空間を区画するように形成されており、例えばアルミニウム等から作られている。

【 0 0 5 5 】

シャワーヘッド 88 は、その上部中央にガス導入管 83 のガス出口 83a が位置するように形成され、処理室 82 内に導入されたガスがそのまま処理室 82 内に配設されたシャワーヘッド 88 内に導入されている。

【 0 0 5 6 】

次に上述の装置を用いてウエハ W 上にゲート絶縁膜 2 よりなる絶縁膜を形成する方法について説明する。

【 0 0 5 7 】

図 6 は本発明の方法の各工程の流れを示したフローチャートである。

【 0 0 5 8 】

まず、前段の工程でウエハ W 表面にフィールド酸化膜 11 を形成する。

【 0 0 5 9 】

次いで真空容器 50 の側壁に設

Above the mounting base 87, the shower head 88 as a shower member is arranged.

This shower head 88 is formed so that the space between the mounting base 87 and the gas introducing pipe 83 may be divided, for example, it is made from aluminum etc.

[0055]

A shower head 88 is formed so that the gas outlet 83a of the gas introducing pipe 83 may be positioned in the up center, the gas introduced in the treatment chamber 82 is introduced in the shower head 88 arranged in the treatment chamber 82 as it was.

[0056]

Next, it demonstrates a method to form the insulation film which is made up of gate insulation film 2 on Wafer W using the above-mentioned apparatus.

[0057]

FIG. 6 is the flowchart which showed the flow of each process of the method of this invention.

[0058]

First, it forms field oxide 11 in the wafer W surface in the process of a prestage.

[0059]

Subsequently, it mounts the wafer W with which



けたゲートバルブ（図示省略）を開いて搬送アーム 37, 38 により、前記シリコン基板 1 表面にフィールド酸化膜 11 が形成されたウェハ W を載置台 52 上に載置する。

【0060】

続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ 55 により排気管 53 を介して内部雰囲気を排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部 56 より例えば 2.45 GHz（3 kW のマイクロ波を発生させ、このマイクロ波を導波路 51 により案内して RLSA 60 及びガス供給室 54 を介して真空容器 50 内に導入し、これにより真空容器 50 内の上部側のプラズマ領域 P にて高周波プラズマを発生させる。

【0061】

ここでマイクロ波は矩形導波管 63D 内を矩形モードで伝送し、同軸導波変換器 63C にて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管 63B を伝送し、さらに円形導波管 63A にて拡げられた状態で伝送していき、RLSA 60 のスロット 60a より放射され、ガス供給室 54 を透過して真空容器 50 に導入され

it opened the gate valve (illustration abbreviation) provided in the side wall of a vacuum vessel 50, and field oxide 11 was formed in said silicon-substrate 1 surface of the conveyance arms 37 and 38 on the mounting base 52.

[0060]

Then, after closing a gate valve and sealing an inside, it exhausts internal atmosphere through an exhaust tube 53 with a vacuum pump 55, and carries out vacuum suction to a fixed degree of vacuum, it maintains to the fixed pressure.

On the other hand, it is 2.45GHz (it generates a 3kW microwave.) from the microwave power supply 56.

It guides this microwave from waveguide 51, and introduces in a vacuum vessel 50 through RLSA60 and the gas feed chamber 54, thereby, it generates the high frequency plasma in the plasma region P by the side of the upper part in a vacuum vessel 50.

[0061]

A microwave transmits the inside of the rectangular waveguide 63D in a rectangular mode here, it converts into a circular mode from a rectangular mode with the coaxial waveguide converter 63C, it transmits the cylindrical coaxial waveguide 63B in a circular mode, furthermore, it transmits in the state where it was able to extend with the circular waveguide 63A, and radiates from slot 60a of RLSA60, it passes through the gas feed chamber 54, and introduces into a vacuum vessel 50.

る。この際マイクロ波を用いて
いるので高密度のプラズマが発
生し、またマイクロ波をRLS
A60の多数のスロット60a
から放射しているのでプラズマ
が高密度なものとなる。

In this case, since the microwave is used, the
high-density plasma occurs, moreover, since
the microwave is radiated from many slots 60a
of RLSA60, the plasma will become
high-density.

【0062】

そして載置台52の温度を調節
してウェハWを例えば400℃
に加熱しながら、ガス供給管7
2より第1のガスであるXeガ
スと、N₂ガスと、H₂ガス及び
O₂ガスを、夫々500 scc
cm、25 sccm、15 scc
cm、1.0 sccmの流量で
導入して第1の工程を実施す
る。

[0062]

And adjusting the temperature of the mounting
base 52 and heating Wafer W at 400 degrees
C, from a gas supply line 72, it introduces Xe
gas which is 1st gas, N₂ gas, and H₂ gas and
O₂ gas by the flow of 500 sccm, 25 sccm, 15
sccm, and 1.0 sccm, respectively, and
implements 1st process.

【0063】

この工程では、導入されたガス
は真空容器3にて発生したプラ
ズマ流により活性化（プラズマ
化）され、このプラズマにより
図7(a)に示すように、シリ
コン基板1の表面が酸化され
て第1の絶縁膜（SiON膜）
21が形成される。こうしてこ
の窒化処理を例えば30秒間行
い、1nmの厚さの第1の絶縁
膜（SiON膜）21を形成す
る。

[0063]

The introduced gas is activated in this process
by the plasma style generated with the vacuum
vessel 3 (plasmafication), the oxide/nitride of
the surface of a silicon substrate 1 is carried out
by this plasma as shown in FIG.7(a), and 1st
insulation film (SiON film) 21 is formed.

In this way, it performs this nitriding, for example
for 30 seconds, and forms 1st insulation film
(SiON film) 21 with a thickness of 1 nm.

【0064】

次に、ゲートバルブを開き、真
空容器50内に搬送アーム3

[0064]

Next, it opens a gate valve and lets the
conveyance arms 37 and 38 go in a vacuum

7, 38を進入させ、載置台52上のウェハWを受け取る。搬送アーム37, 38はウェハWをプラズマ処理ユニット32から取り出した後、隣接するCVD処理ユニット33内の載置台87にセットする。

vessel 50.
It receives the wafer W on the mounting base 52.
After the conveyance arms 37 and 38 take out Wafer W from the plasma-processing unit 32, it sets them to the mounting base 87 in the adjoining CVD treatment unit 33.

【0065】

次いでこのCVD処理ユニット33内でウェハW上にCVD処理が施され、先に形成された第1の絶縁膜上に第2の絶縁膜が形成される。

[0065]

Subsequently, CVD treatment is performed on Wafer W within this CVD treatment unit 33, 2nd insulation film is formed on 1st insulation film formed previously.

【0066】

即ち、真空容器3内にて、ウェハ温度が例えば400℃、プロセス圧力が例えば50mTorr~1Torrの状態、容器82内に第2のガスを導入して第2の工程を実施する。つまりガス供給源84よりSiを含むガス例えばSiH₄ガスを例えば15sccmの流量で導入すると共に、ガス導入管83よりXeガスと、N₂ガスとを、夫々500sccm、20sccmの流量で導入する。

[0066]

That is, within a vacuum vessel 3, in the state where wafer temperature is 400 degrees C and the process pressure is 50mTorr-1 Torr, it introduces 2nd gas in vessel 82, and implements 2nd process.

That is, while introducing by the flow of 15 sccm, the gas, for example, the SiH₄ gas, which contains Si from the gas supply source 84, it introduces Xe gas and N₂ gas by the flow of 500 sccm and 20 sccm from the gas introducing pipe 83, respectively.

【0067】

この工程では、導入された第2のガスはウェハW上に堆積し、比較的短時間で膜厚が増大する。かくして図7(b)に示すように、第1の絶縁膜(SiO

[0067]

In this process, it deposits 2nd introduced gas on Wafer W, film thickness increases comparatively in a short time.

2nd insulation film (SiN film) 22 is formed in the surface of 1st insulation film (SiON film) 21 as

N膜) 21の表面に第2の絶縁膜 (SiN膜) 22が形成される。このSiN膜22は成膜速度が例えば4 nm/分であるので、この成膜処理を例えば30秒行い、2 nmの厚さの第2の絶縁膜 (SiN膜) 22を形成する。このようにしてトータル30秒間で4 nmの厚さのゲート絶縁膜2を形成する。

【0068】

上述の第1の工程では、第1の絶縁膜を形成するに際し、処理ガス雰囲気下で、ケイ素を主成分とするウェハWに、複数のスリットを有する平面アンテナ部材 (RLSA) を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して絶縁膜を形成しているので、品質が高く、かつ膜質制御を首尾よく行うことができる。

【0069】

即ち、第1の絶縁膜の品質は図8に示すように高いものである。

【0070】

図8に示すように、本発明の半導体製造方法により、熱酸化膜

shown in FIG.7(b) in this way.

The film-forming speed of this SiN film 22 is for example, 4 nm/min, depend.

It performs this film-forming treatment, for example for 30 seconds, and forms 2nd insulation film (SiN film) 22 with a thickness of 2 nm.

Thus, it forms the gate insulation film 2 with a thickness of 4 nm in total 30 seconds.

[0068]

In above-mentioned 1st process, it forms the plasma containing oxygen, nitrogen or oxygen, and nitrogen by irradiating a microwave when forming 1st insulation film through the flat antenna member (RLSA) which has two or more slits to the wafer W which has a silicon as a main component in process-gas atmosphere, using this plasma, it gives oxidation, a nitridation, or an oxide/nitride directly to said processed-base-material surface, and forms insulation film in it, depend.

Quality is high and it can perform film-quality control with the sufficient result.

[0069]

That is, the quality of 1st insulation film is a thing high as shown in FIG. 8.

[0070]

As shown in FIG. 8, it secures an interface state with low thermal oxidation film and this level

と同レベルの低い界面準位を確保し、かつ、ゲート絶縁膜の耐圧性とゲート電極中のボロンの突き抜けを低減することが可能となった。

【0071】

これに対し、直接窒化及びCVD法によるSiN膜では界面準位が熱酸化膜に比べて増大した。この場合、界面でのキャリアの分散が大きくなり、トランジスタの駆動電流が低下する。

【0072】

このように上述の方法により形成された第1の絶縁膜の品質が高くなる理由は次のように考えられる。

【0073】

即ち、本発明の半導体製造方法では、シリコン基板界面に窒素原子と酸素原子との両方がシリコン原子の結合を効率的に終端し、ダングリングボンドが少なくなる。また、ゲート絶縁膜の耐圧性とボロンの突き抜けに対してはCVD-SiN膜が効果的に作用している。この結果、本発明の半導体製造方法では、直接酸窒化SiON膜とCVD-SiN膜の長所を首尾良く利用することができる。

【0074】

with the semiconductor manufacturing method of this invention, and it became possible to reduce the penetrating of the pressure resistance of gate insulation film, and the boron in a gate electrode.

[0071]

By the SiN film by a direct nitridation and CVD method, the interface state increased to this compared with the thermal oxidation film. In this case, dispersion of the carrier in the interface becomes bigger, the actuation electric current of a transistor falls.

[0072]

Thus, the reason which the quality of 1st insulation film formed by the above-mentioned method becomes higher is considered as follows.

[0073]

That is, in the semiconductor manufacturing method of this invention, both a nitrogen atom and an oxygen atom terminate the connection of a silicon atom efficiently in the silicon-substrate interface, a dangling bond decreases.

Moreover, to the pressure resistance of gate insulation film, and the penetrating of a boron, the CVD-SiN film is acting effectively.

As a result, in the semiconductor manufacturing method of this invention, it can utilize the strong point of a direct oxide/nitride SiON film and a CVD-SiN film with the sufficient result.

[0074]

これに対して界面をSiNだけで形成する場合、ダングリングボンドの終端が不完全で、このために界面準位が増大したと考えられる。

【0075】

また、上記第2の工程を行うことにより前記第1の絶縁膜上に形成される第2の絶縁膜は短時間で形成することができる。その結果、絶縁膜2全体を形成するには下記に示すように短時間で済ませることができる。

【0076】

例えば、第一の絶縁膜SiONの形成について、RLSAプラズマを用いて圧力100mTorr、Xe、N₂、H₂、O₂のガス流量を各々500 sccm、25 sccm、15 sccm、1 sccm温度400°Cで成膜すると、図9に示したように、1nmのSiON膜を30秒程度で形成できる。

【0077】

しかし、同条件で3nmのSiON膜を形成するには245秒必要とした。この成膜速度でO₂流量をゼロにしてもほとんど変化しなかった。一方、CVDではXe、SiH₄、N₂ガス流量を各々500 sccm、15 sccm、20 sccm、温度4

On the other hand, when forming the interface only by SiN, the termination of a dangling bond is considered that were imperfect, for this reason the interface state increased.

[0075]

Moreover, it can form 2nd insulation film formed on said 1st insulation film in a short time by performing said 2nd process.

As a result, in order to form the insulation-film 2 whole, it can finish in a short time as shown in the following.

[0076]

For example, if the gas flow rate of pressure 100mTorr, Xe, N₂, H₂, and O₂ is respectively formed into a film about formation of the first insulation film SiON using the RLSA plasma at 500 sccm, 25 sccm, 15 sccm, and the 1-sccm temperature C of 400 degrees, as shown in FIG. 9, it can form a 1 nm SiON film in about 30 seconds.

[0077]

However, in order to form a 3 nm SiON film on these conditions, it needed for 245 seconds.

Even if it made the O₂ flow into zero at this film-forming speed, it hardly varied.

On the other hand, in CVD, the film-forming speed of about 4.5 nm/min was respectively attained in 500 sccm, 15 sccm, 20 sccm, and the temperature C of 400 degrees in Xe, SiH₄,

00°Cにおいて4.5 nm/min程度の成膜速度が達成された。従って、2 nmの膜厚では30秒程度以内で形成された。この結果、本発明の半導体製造方法ではトータル60秒程度以内で3 nmの絶縁膜を形成できるため、直接窒化法に比べて大幅に成膜速度を向上させることができる。

【0078】

また、上記RLSAプラズマによる直接酸窒化の成膜による膜厚変化は図1ーに示すように1 nm程度までは時間に比例しており、表面反応律速であることが分かる。しかし、これ以上になると、拡散律速となり、成膜速度が徐々に低下する。従って、本発明の半導体製造方法では、直接酸窒化により1 nmのSiON膜を形成し、その後CVD法によりSiN膜を形成した。

【0079】

(実施例) 以下に実施例を示す。

【0080】

本発明の半導体製造方法により、素子分離形成を行ったn型シリコン基板上に図2に示したような装置を用いてRLSAプラズマを用いて図2中32の処

and a N₂ gas flow rate.

Therefore, in 2 nm film thickness, it is less than about 30 seconds, and formed.

As a result, in the semiconductor manufacturing method of this invention, it is less than about 60 seconds of totals, and since 3 nm insulation film can be formed, compared with a direct nitriding, it can improve the film-forming speed significantly.

【0078】

Moreover, the film-thickness change by film-forming of the direct oxide/nitride by the above-mentioned RLSA plasma is proportional to time to about 1 nm as shown in FIG. 1 -, it turns out that it is a surface reaction rate limitation.

However, if it becomes more than this, it will become a diffusion rate limitation, the film-forming speed falls gradually.

Therefore, in the semiconductor manufacturing method of this invention, it forms a 1 nm SiON film by a direct oxide/nitride, it formed the SiN film by CVD method after this.

【0079】

(Example)

An Example is shown below.

【0080】

With the semiconductor manufacturing method of this invention, it formed the 2 nm SiON film in the treatment unit of 32 in FIG. 2 using the RLSA plasma using the apparatus as shown in FIG. 2 on,n-type silicon substrate which

理ユニットで2 nmのSiON膜を形成した。合計の絶縁膜の膜厚は3 nm (酸化膜換算膜厚) である。SiON成膜条件については、Xe/N₂/H₂/O₂ 流量=500 sccm/25 sccm/15 sccm/1 sccmで圧力は100 mTorr、マイクロ波パワーは2.0 KWで、温度は400°Cであった。

【0081】

CVD-SiN膜の形成条件については、Xe/SiH₄/N₂ 流量=500 sccm/15 sccm/20 sccmで圧力は100 mTorr、マイクロ波は25 KWで温度は400°Cであった。成膜時間は62秒で、スループットは40枚/hを達成し、工業的に十分適用できるレベルである事を確認できた。

【0082】

膜厚の均一性も3シグマで3%と良好な結果が得られた。

【0083】

ゲート絶縁膜形成に引き続いて、p型poly-Si-ゲートを形成してゲートリーク電流と界面準位を測定した。この結果、75 mV/cmの印加電界に対してゲートリークは1.3

performed element separation formation.

The film thickness of total insulation film is 3 nm (oxide-film conversion film thickness).

About SiON film-forming conditions, pressure was 100mTorr, the microwave power was 2.0kW in Xe/N₂/H₂/O₂ flow =500sccm / 25 sccm / 15 sccm / 1 sccm, and temperature was 400 degrees C.

[0081]

As for 100mTorr and a microwave, about the formation conditions of a CVD-SiN film, temperature of pressure was 400 degrees C in 25kW at Xe/SiH₄/N₂ flow =500sccm / 15 sccm / 20 sccm.

The film-forming time is 62 seconds and a throughput attains h in 40 sheets /, it has checked that it was an industrially applicable enough level.

[0082]

The result whose uniformity of film thickness is also as good at three sigmas as 3% was obtained.

[0083]

Succeedingly, it formed the p-type poly-Si-gate in gate insulation-film formation, and measured the gate leak electric current and the interface state to it.

As a result, gate leak obtained the result with as good $1.3 \times 10^{-6} \text{ A/cm}^2$ and interface state as

$\times 10^{-6} \text{ A/cm}^2$ 、界面準位は $6.5 \times 10^{10} / \text{cm}^2 / \text{eV}$ と良好な結果を得た。更に p-MOSFET ($L/W = 0.25 / 10 \mu\text{m}$) を形成してオン電流を計測したところ、酸化膜と同程度以上の値 ($5.5 \times 10^{-4} \text{ A}/\mu\text{m}$) が得られた。

$6.5 \times 10^{10} / \text{cm}^2 / \text{eV}$ to the impression electrical field of 75 mV/cm.

Furthermore, when p-MOSFET ($L/W = 0.25 / 10 \text{ micrometer}$) was formed and the ON state current was measured, the oxide film and the value more than comparable ($5.5 \times 10^{-4} \text{ A/micrometer}$) were acquired.

【0084】

以上示したように、本発明の半導体製造方法により 3 nm 程度の良質なゲート絶縁膜を工業的に十分な成膜速度で形成することができた。

[0084]

As shown above, it was able to form about 3 nm good gate insulation film at industrially sufficient film-forming speed with the semiconductor manufacturing method of this invention.

【0085】**【発明の効果】**

本発明によれば、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射する、いわゆる RL SA アンテナを用いる方法でシリコン基板上に直接プラズマを供給して SiN 絶縁膜を形成するので、シリコン基板とその表面に形成される SiN 絶縁膜との界面の膜質制御を首尾よく行うことができる。

[0085]**[ADVANTAGE OF THE INVENTION]**

According to this invention, in process-gas atmosphere, it supplies the direct plasma on a silicon substrate by the method of using what is called a RL SA antenna that irradiates a microwave through the flat antenna member which has two or more slits, and forms SiN insulation film in the processed base material which has a silicon as a main component, depend.

It can perform film-quality control of the interface of a silicon substrate and the SiN insulation film formed in the surface with the sufficient result.

【0086】

更に、本発明の他の半導体製造方法によれば、いわゆる RL S

[0086]

Furthermore, according to the other semiconductor manufacturing method of this

Aアンテナを用いた方法で第1の絶縁膜を形成した上に第2の絶縁膜を形成するので高品質のSiN膜を形成することができる。特に第2の絶縁膜をCVD法により形成する場合には短時間での製膜が可能となり、短時間で高品質のSiN膜を形成することができる。

invention, since 1st insulation film was formed upwards by the method what is called using a RLSA antenna and 2nd insulation film is formed, it can form a high quality SiN film. Particularly when forming 2nd insulation film by CVD method, filming in a short time is attained, it can form an in a short time high quality SiN film.

【図面の簡単な説明】**[BRIEF DESCRIPTION OF THE DRAWINGS]****【図1】**

本発明の半導体製造方法により製造される半導体装置の垂直断面図である。

[FIG. 1]

It is the vertical sectional view of the semiconductor device manufactured by the semiconductor manufacturing method of this invention.

【図2】

本発明の半導体製造方法を実施するための半導体製造装置の概略図である。

[FIG. 2]

It is the schematic diagram of the semiconductor fabrication machines and equipment for implementing the semiconductor manufacturing method of this invention.

【図3】

本発明の半導体製造方法に用いるRLSAプラズマ処理ユニットの垂直断面図である。

[FIG. 3]

It is the vertical sectional view of a RLSA plasma-processing unit which it uses for the semiconductor manufacturing method of this invention.

【図4】

本発明の半導体製造装置に用いるRLSAの平面図である。

[FIG. 4]

It is the top view of RLSA which it uses for the semiconductor fabrication machines and equipment of this invention.

【図 5】

本発明の半導体製造方法に用いるCVD処理ユニットの模式的垂直断面図である。

[FIG. 5]

It is the typical vertical sectional view of a CVD treatment unit which it uses for the semiconductor manufacturing method of this invention.

【図 6】

本発明の方法におけるゲート絶縁膜形成工程のフローチャートである。

[FIG. 6]

It is the flowchart of the gate insulation-film formation process in the method of this invention.

【図 7】

本発明の方法によるゲート絶縁膜形成の詳細図である。

[FIG. 7]

It is detail drawing of the gate insulation-film formation by the method of this invention.

【図 8】

各種成膜条件とその成膜条件で得られるゲート絶縁膜の品質特性を比較した図である。

[FIG. 8]

It is the figure which compared the quality characteristics of the gate insulation film obtained by the various film-forming conditions and the film-forming condition of those.

【図 9】

各種成膜方法における、成膜時間と膜厚との関係を示した図である。

[FIG. 9]

It is the figure having shown the relation of the film-forming time and film thickness in the various film-forming method.

【図 10】

本発明の半導体製造方法における成膜時間と膜厚との関係を示したグラフである。

[FIG. 10]

It is the diagrammatic chart in which the relation of the film-forming time and film thickness in the semiconductor manufacturing method of this invention was shown.

【符号の説明】

W…ウエハ（被処理基体）
60…RLSA（平面アンテナ部材）

[DESCRIPTION OF SYMBOLS]

W... a wafer (processed base material)
60... RLSA (flat antenna member)
21... the first insulation film

21...第一の絶縁膜

22...第二の絶縁膜

32...プラズマ処理ユニット
(プロセスチャンバ)

33...CVD処理ユニット (プ
ロセスチャンバ)

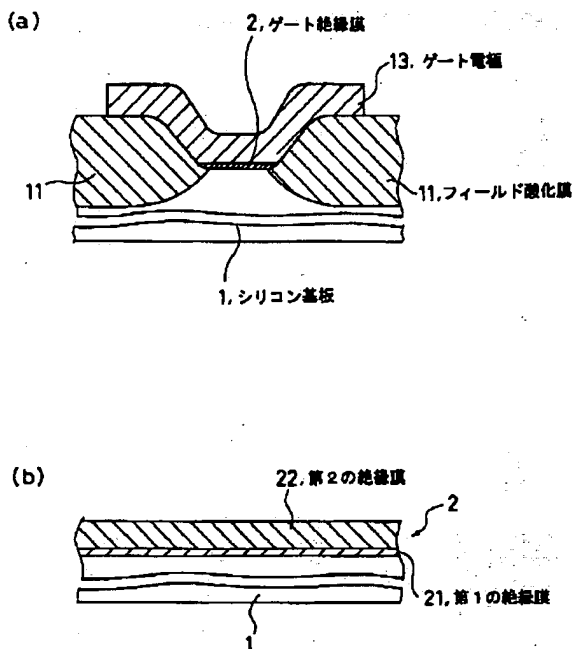
22... 2nd insulation film

32... a plasma-processing unit (process
chamber)

33... a CVD treatment unit (process chamber)

【図1】

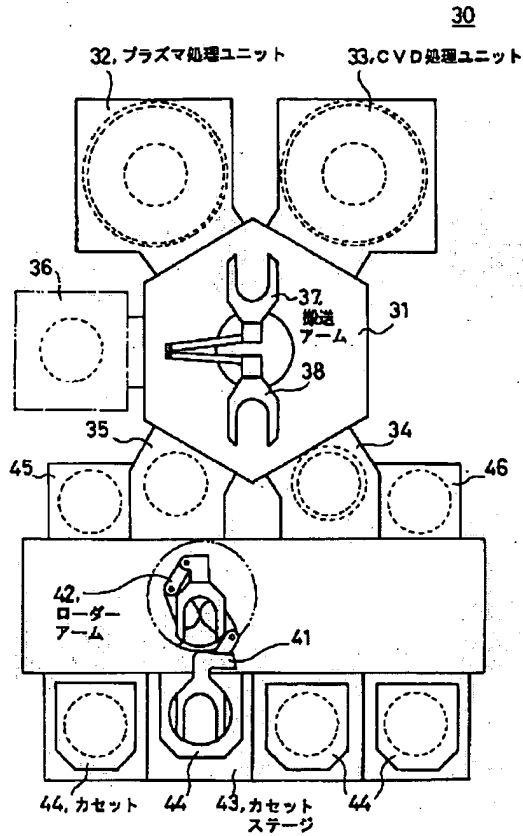
[FIG. 1]



- 1: Silicon plate
- 2: Gate insulation film
- 11: Field oxide film
- 21: 1st insulation film
- 22: 2nd insulation film

【図 2】

[FIG. 2]



32: Plasma processing unit

33: CVD processing unit

37: Function arm

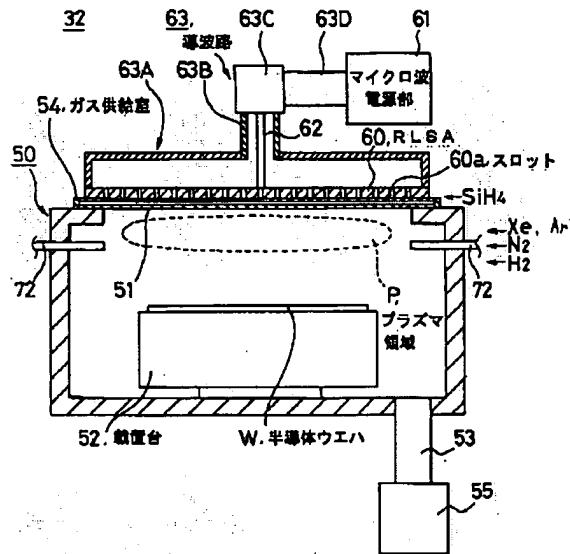
42: Loader arm

43: Cassette stage

44: Cassette

【図 3】

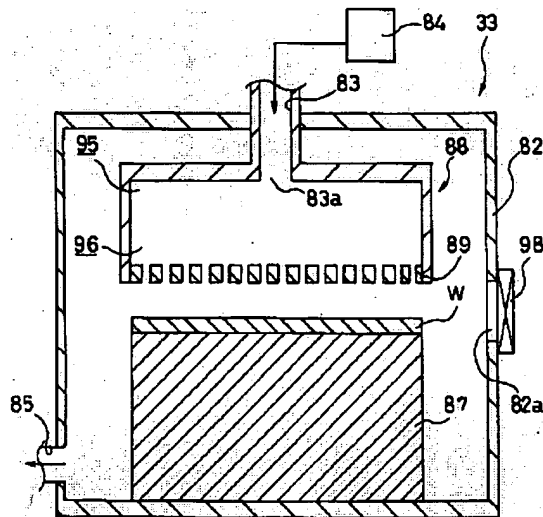
[FIG. 3]



- 52: Mounting base
- 54: Gas supply chamber
- 60: RL SA
- 60a: Slot
- 61: Microwave power source part
- 63: Waveguide
- P: Plasma region
- W: Semiconductor wafer

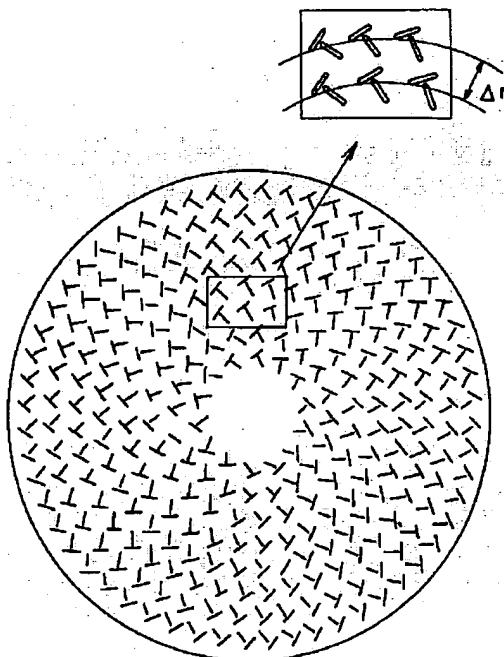
【図 5】

[FIG. 5]



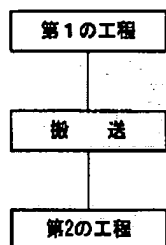
【図 4】

[FIG. 4]



【図 6】

[FIG. 6]



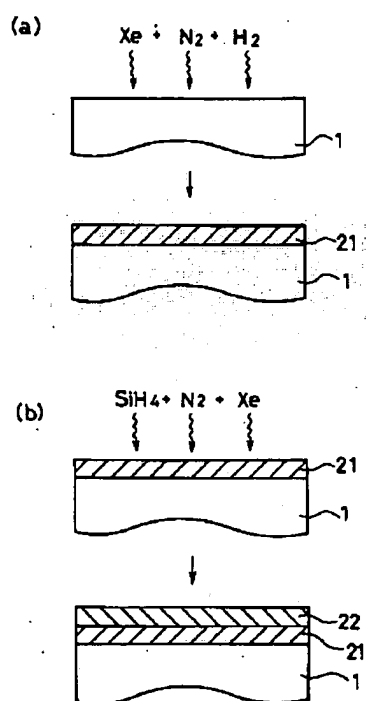
1st process

Transport

2nd process

【図 7】

[FIG. 7]



【図 8】

[FIG. 8]

	本発明方法 (SiN-CVD/SiON)	RLSAプラズマ 直接窒化膜	RLSAプラズマ CVD窒化膜	熱酸化膜
膜厚 (nm)	2/1	3	3	3
絶縁耐圧 (MV/cm)	17	17	15	12
ゲートリーク電流 (10^{-6} A/cm ²)	1×10^{-6}	5×10^{-5}	1×10^{-5}	1×10^{-3}
7.5 MV/cm				
界面準位 (10^{-12} /eV)	6×10^{10}	2×10^{11}	5×10^{11}	6×10^{10}
PMOS-FET (V) しきい値電圧変化 $\Delta V_{th} = V_{th}(9F^{2t}) - V_{th}(8^t)$	0	0	0	0.3

膜厚: Film thickness

絶縁耐圧: Insulation pressure resistance

ゲートリーク電流: Gate leak current

界面単位: Interface unit

しきい値電圧変化: Threshold value voltage change

本発明方法: This invention method

プラズマ: Plasma

直接窒化膜: Direct nitridation film

窒化膜: Nitridation film

熱酸化膜: Heat oxide film

【図 9】

[FIG. 9]

	本発明方法 CVD-SiN/SiON	RLSAプラズマ 直接窒化方法	RLSAプラズマ CVD方法
膜厚 (nm)	2 / 1	3	3
時間 (sec)	30 / 30	2 4 5	4 6

膜厚: Film thickness

時間: Time

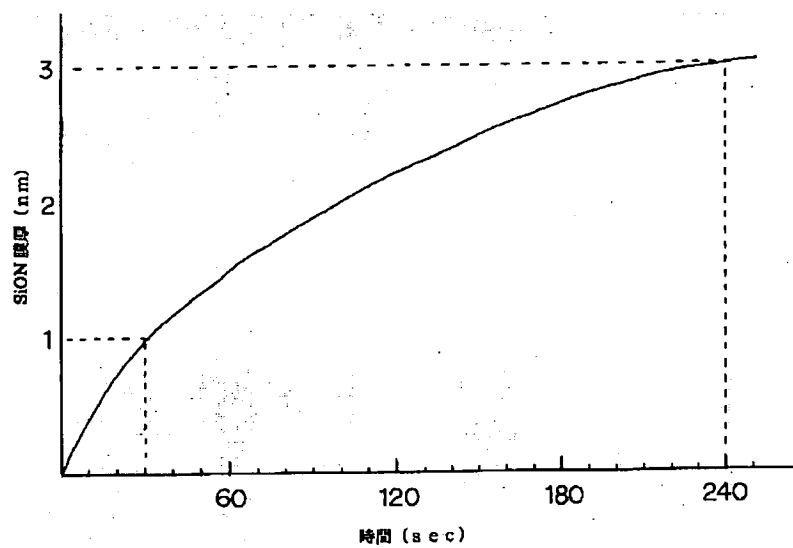
本発明方法: This invention method

直接窒化方法: Direct nitridation method

CVD 方法: CVD method

【図 10】

[FIG. 10]



膜厚: Film thickness

時間: Time

THOMSON SCIENTIFIC TERMS AND CONDITIONS

Thomson Scientific Ltd shall not in any circumstances be liable or responsible for the completeness or accuracy of any Thomson Scientific translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Thomson Scientific Ltd. is part of The Thomson Corporation

Please visit our website:

["www.THOMSONDERWENT.COM"](http://www.THOMSONDERWENT.COM) (English)

["www.thomsonscientific.jp"](http://www.thomsonscientific.jp) (Japanese)